

MENU

SEARCH

INDEX

DETAIL

JAPANESE

LEGAL STATUS

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-109723

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

G06F 15/16

G06F 12/06

G06F 12/08

G06F 13/16

G06F 15/167

G06F 15/173

H04B 7/26

(21)Application number : 2000-246735

(71)Applicant : KONINKL PHILIPS
ELECTRONICS NV

(22)Date of filing : 16.08.2000

(72)Inventor : HERTWIG AXEL
BAUER HARALD
FAWER URS
LIPPENS PAUL

(30)Priority

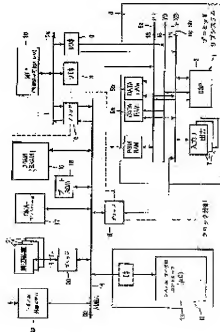
Priority number : 1999 19939763 Priority date : 21.08.1999 Priority country : DE

(54) MULTIPROCESSOR SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multiprocessor system that is improved in comparison with the technical area of inter-remote location communication, especially the present situation of a mobile radio telephone terminal device.

SOLUTION: This multiprocessor system provided with the mobile radio telephone terminal device is constructed by arranging at least two 1st and 2nd processors, at least one rewritable memory which can be accessed by the two processors, at least one cache memory for mediating the access of the 1st processor to the rewritable memory and at least one bridge for mediating the access of the 2nd processor to the rewritable memory on a shared chip.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-109723

(P2001-109723A)

(43) 公開日 平成13年4月20日 (2001.4.20)

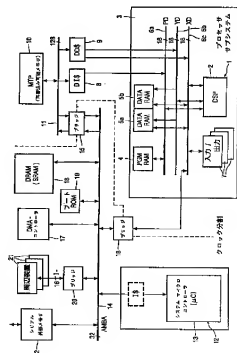
(51) Int.Cl. ⁷	識別記号	P I	デフォルト* (参考)
G 0 6 F 15/16	6 4 0	G 0 6 F 15/16	6 4 0 B
	6 4 5		6 4 5
12/06	5 2 1	12/06	5 2 1 H
12/08	5 1 1	12/08	5 1 1 Z
	5 5 1		5 5 1 Z
審査請求 未請求 請求項の数16 O L (全 8 頁) 最終頁に続く			
(21) 出願番号	特願2000-246735(P2000-246735)	(71) 出願人	590000248
(22) 出願日	平成12年8月16日 (2000.8.16)		コーニンクレッカ フィリップス エレク トロニクス エス ヴィ Koninklijke Philips Electronics N. V.
(31) 優先権主張番号	1 9 9 3 9 7 6 3 . 5		オランダ国 5621 ベーアー アインドー フェン フルーネヴァウツウェッハ 1
(32) 優先日	平成11年8月21日 (1999.8.21)	(72) 発明者	アクセル、ヘルトビヒ ドイツ連邦共和国ニュルンベルク、グロラ ントシュトラッセ、34
(33) 優先権主張国	ドイツ (D E)	(74) 代理人	100064285 弁理士 佐藤 一雄 (外3名)
最終頁に続く			

(54) 【発明の名称】 マルチプロセッサシステム

(57) 【要約】

【課題】 遠隔地間通信の技術分野、特に移動無線電話端末装置の現状に比較して改善されたマルチプロセッサシステムを提供する。

【解決手段】 移動無線電話端末装置を備えるマルチプロセッサシステムは、少なくとも第1および第2の2つのプロセッサと、前記2つのプロセッサがアクセスできる少なくとも1つの再書き込み可能メモリと、前記第1のプロセッサの前記再書き込み可能メモリに対するアクセスを仲介するための少なくとも1つのキャッシュメモリと、前記第2のプロセッサの前記再書き込み可能メモリに対するアクセスを仲介するための少なくとも1つのブリッジと、を共用チップ上に配置して構成されている。



【特許請求の範囲】

【請求項 1】移動無線電話端末装置を備えるマルチプロセッサシステムであって、少なくとも第 1 および第 2 の 2 つのプロセッサと、前記 2 つのプロセッサがアクセスできる少なくとも 1 つの再書き込み可能メモリと、前記第 1 のプロセッサの前記再書き込み可能メモリに対するアクセスを仲介するための少なくとも 1 つのキャッシュメモリと、前記第 2 のプロセッサの前記再書き込み可能メモリに対するアクセスを仲介する少なくとも 1 つのブリッジと、を共用チップ上に配置したことを特徴とするマルチプロセッサシステム。

【請求項 2】前記 2 つのプロセッサは、相互に異なる動作クロックにより動作することを特徴とする請求項 1 に記載のマルチプロセッサシステム。

【請求項 3】前記第 1 のプロセッサはデジタル信号プロセッサであり、前記第 2 のプロセッサはシステム・マイクロコントローラであることを特徴とする請求項 1 に記載のマルチプロセッサシステム。

【請求項 4】前記再書き込み可能メモリは、2 つのキャッシュメモリを介して前記第 1 のプロセッサに接続され、前記 2 つのキャッシュメモリの一方はプログラムを読むために前記再書き込み可能メモリにアクセスするために用いられ、他方はデータを読み出すために用いられることを特徴とする請求項 1 ないし請求項 3 の何れかに記載のマルチプロセッサシステム。

【請求項 5】前記再書き込み可能メモリでは、第 1 および第 2 のプロセッサのそれぞれがプログラム用およびデータ用の分割メモリ領域に割り当てられていることを特徴とする請求項 1 ないし請求項 4 の何れかに記載のマルチプロセッサシステム。

【請求項 6】前記ブリッジは、前記再書き込み可能メモリが通信するための第 1 のデータバスと、狭い伝送帯域を有すると共に前記第 2 のプロセッサが通信するために第 2 のデータバスと、の間の同期を取るために設けられていることを特徴とする請求項 1 ないし請求項 5 の何れかに記載のマルチプロセッサシステム。

【請求項 7】前記再書き込み可能メモリのために割り当てられた前記第 1 のデータバスは少なくとも 128 ビットの伝送帯域を有し、前記第 2 のプロセッサのために割り当てられた前記第 2 のデータバスは少なくとも 32 ビットの伝送帯域を有することを特徴とする請求項 6 に記載のマルチプロセッサシステム。

【請求項 8】前記第 2 のプロセッサには、チップ上に集積化された更なるブリッジが、データバスを介して接続されていることを特徴とする請求項 1 ないし請求項 7 の何れかに記載のマルチプロセッサシステム。

【請求項 9】前記第 2 のプロセッサには、チップ上に集積化された更なるデータメモリが、データバスを介して

接続されていることを特徴とする請求項 1 ないし請求項 8 の何れかに記載のマルチプロセッサシステム。

【請求項 10】前記チップ上の前記更なるメモリに対する前記第 1 のプロセッサのアクセスを可能にするために、DMA コントローラおよび第 2 のブリッジが設けられていることを特徴とする請求項 9 に記載のマルチプロセッサシステム。

【請求項 11】前記第 1 のプロセッサは、少なくとも内部高速データメモリ、および/または、少なくとも内部高速プログラムメモリに割り当てられていることを特徴とする請求項 1 ないし請求項 10 の何れかに記載のマルチプロセッサシステム。

【請求項 12】前記第 1 のプロセッサ、前記内部高速データメモリおよび/または前記内部高速プログラムメモリにより形成されるプロセッササブシステムが、二重ハードウェア構造を有していることを特徴とする請求項 11 に記載のマルチプロセッサシステム。

【請求項 13】前記再書き込み可能メモリは、MT P メモリまたはフラッシュメモリであることを特徴とする請求項 1 ないし請求項 12 の何れかに記載のマルチプロセッサシステム。

【請求項 14】前記第 2 のプロセッサの前記更なるデータメモリは、DRAM または S R A M であることを特徴とする請求項 1 ないし請求項 13 の何れかに記載のマルチプロセッサシステム。

【請求項 15】前記内部高速データメモリおよび/または前記内部高速プログラムメモリは、R A M であることを特徴とする請求項 1 ないし請求項 14 の何れかに記載のマルチプロセッサシステム。

【請求項 16】移動無線電話通信端末装置の動作のために用いられることを特徴とする請求項 1 ないし請求項 15 の何れかに記載のマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチプロセッサシステムに係り、特に移動無線電話端末装置に関するものである。

【0002】

【従来の技術】最近、移動無線端末装置においては、1 つのチップ上に 2 つのプロセッサが設けられたマルチプロセッサシステムが用いられている。一方のプロセッサは、メディアム・パワー (medium power-中位の電力)

→ プロトコルおよび制御タスクのために設けられたシステム・マイクロコントローラであるものとして理解されても良いのに対して、他方のプロセッサは、強力なデジタル信号プロセッサとしても良い。それぞれのプロセッサには、チップの外側に、例えば外部フラッシュ (FLASH) プログラムメモリ、または個別的な外部データメモリのような少なくとも 1 つのメモリが設けられている。このシステムにおいては、ただ 1 つのプロセッサに特定

のメモリが割り当てられており、換言すれば、このたった1つのプロセッサがそれに定義されたメモリにアクセスすることができる。

【0003】

【発明が解決しようとする課題】しかしながら、このようなシステム構成は、種々の点について不利である。複数のプロセッサに含まれている種々のチップととの間の通信のために、個別のチップは、一方では複数のピンを有するように、他方では分割されたメモリを有するように構成されている。さらに、プログラムやデータ通信のための電力消費はかなり大きくなっている。上述した構成は、また、かなり広いスペースを必要としており、この広いスペースは、そもそもより小さくなる端末装置においてはとりわけ不利な点となっている。

【0004】このため、本発明は遠隔地間通信の技術分野、特に移動無線電話端末装置において、この分野の現状と比較して改善されたマルチプロセッサシステムを提供することを目的としている。

【0005】

【課題を解決するための手段】上記問題点を解決するため、マルチプロセッサシステム、特に移動無線電話端末装置用のマルチプロセッサシステムにおいて、1つのチップ上に、少なくとも2つのプロセッサと、前記2つのプロセッサがアクセスできる少なくとも1つの再書き込み可能メモリと、第1のプロセッサの前記再書き込み可能メモリに対するアクセスを仲介するための少なくとも1つのキャッシュメモリと、第2のプロセッサの前記再書き込み可能メモリに対するアクセスを仲介する少なくとも1つのブリッジと、が配置されている。

【0006】本発明に係るプロセッサシステムにおいては、2つのプロセッサがアクセスを有することができ、かつ、個別の情報を読み出したり書き込んだりすることができる複数のプロセッサとさらに少なくとも1つの再書き込み可能メモリとが、1つの共用チップ上に有利に集積化されている。例えばデジタル信号プロセッサであっても良い第1のプロセッサが、少なくとも1つのキャッシュメモリを介して再書き込み可能メモリに接続されている。システムマイクロコントローラであっても良い第2のプロセッサのアクセスは、少なくとも1つのブリッジを介して実現される。

【0007】本発明によれば、上述の構成要素を1つの共用チップ上に集積化することは、チップ上のプロセッサとメモリとの間の通信を可能にする共に、このメモリが外部メモリではないことから、メモリ用のピンを全く設けなくすることができる。このチップの集積化の割合は、かなり増大される。プロセッサとメモリとの間の通信のために必要とされる電流はまた、チップに集積化されたメモリが一般にはシステムに電力消費を最適化するの、かなり少なくなることになる。上述されたこのシステム構造は、特にGSM規格DCS 180

0、PCS1900、IS95およびIS136における移動無線電話端末装置に用いられても良い。

【0008】2つのプロセッサは、相互に異なる動作レートで機能することができる。さらに、このメモリが2つのキャッシュメモリを介して第1のプロセッサに接続されていても良く、キャッシュメモリの1つはプログラムの読み出しや書き込み用のメモリにアクセスするために用いられ、他の1つはデータの読み出し用のメモリにアクセスするために用いられている。不揮発性の再書き込み可能メモリは、このように、異なる情報を格納可能な種々のメモリ領域を有している。接続されたプロセッサのそれぞれのためのプログラムやデータは、不揮発性再書き込み可能メモリに自由に格納されるようにしても良い。

【0009】高速バッファである2つのキャッシュメモリを介して、相対的にゆっくりと動作するメモリから検索されるべきデータや情報は高速な第1のプロセッサまたはデジタル信号プロセッサのそれぞれにとって有用であることが保証されている。2つのキャッシュメモリは、第2のプロセッサ（例えばマイクロコントローラ）への簡単なアクセスをも可能とする。その理由は第1のプロセッサ（例えばデジタル信号プロセッサ）は、このメモリからのデータを連続的に取り出すことがないこと、および、第1のプロセッサまたはデジタル信号プロセッサのそれぞれによって必要とされた本質的なデータが通常は2つのキャッシュメモリ内に既に格納されており、またそのデータがキャッシュメモリから取り出されることにより第1のプロセッサがこのメモリを占有すること、の2つのことが、キャッシュメモリを介して保証されているからであり、これによりこのメモリは第1のプロセッサによって継続的に占有されることがなくなり、また、第2のプロセッサがブリッジを介してこのメモリにアクセスすることもできる。

【0010】上述したように、このメモリはプログラム用およびデータ用の分割されたメモリ領域に有利に副(sub)分割されている。それぞれのプロセッサは、プログラム用およびデータ用の分割されたメモリ領域を割り当てられ、換言すれば、例えば、一方の領域が第1のプロセッサまたはデジタル信号プロセッサに対して割り当てられ、他方の領域が第2のプロセッサまたはシステムマイクロコントローラにそれぞれ割り当てられるようなそれぞれのメモリ領域がまた設けられているので、この2つのプログラム領域は有用である。全般的にみて、このことは、所望によりメモリ領域を区分けすることの可能性を提供する。しかしながら、第1の実行の前に、次いでメモリ空間の区切りが自由に設定されるように、全体として要求されるメモリ空間を決定することが必要である。当然のこととして、この2つのプロセッサによってアクセスされ得るデータ用の更なるメモリ領域を設けることもまた可能である。

【0011】本発明の他の実施形態において、前記ブリッジは、前記再書き込み可能メモリが通信するための第1のデータバスと、狭い伝送帯域を有すると共に前記第2のプロセッサが通信するために第2のデータバスと、の間の同期を取るために設けられていても良い。チップ上の前記システム構成要素の完全な集積化は、データバスの情報を簡単なやり方で行なうことを可能にしている。この集積化されたメモリは、高転送レートとわりけ第1のプロセッサまたはデジタル信号プロセッサによる通信の範囲における転送レートを高くする効果があるので、高クロック周波数で機能する第1のプロセッサに対してデータを転送し得るための大きな転送帯域を有するデータバスにこの集積化されたメモリを割り当てるのに有効である。第2のプロセッサは低いクロックで動作し、それゆえにより低速で機能しているため、この第2のプロセッサに対して、より低い転送レートを有するデータバスを割り当てることで充分である。

【0012】しかしながら、第2のプロセッサは再書き込み可能メモリにもまたアクセスしているため、ブリッジにより簡単なやり方で行なわれる第1のデータバスを介した第2のデータバスへの情報を適宜に同期させることは必要となる。前記再書き込み可能メモリのために割り当てられた前記第1のデータバスは少なくとも128ビットの伝送帯域を有し、前記第2のプロセッサのために割り当てられた前記第2のデータバスは少なくとも32ビットの伝送帯域を有することが効果的であることが判明した。

【0013】上述したように、第1のプロセッサまたはデジタル信号プロセッサのそれぞれに成立するキャッシュメモリ（複数のメモリ）の使用は、再書き込み可能メモリまたはこれに割り当てられているデータバスを継続的には占有せず、このキャッシュメモリ（複数のメモリ）内に新たな情報がロードされるべきときにはのみ、メモリに対してむしろ不連続なアクセスが行なわれる。それはともかくとして、同時に第1のプロセッサもメモリにアクセスするような場合にも、むしろアクセスの衝突が発生すれば、この衝突は本発明によりメモリに対するアクセスを管理するために設けられているブリッジの手段によって解消されることになり、その結果このプロセッサがより大きなロードを生成し、かつ、より厳密な実時間要求を満足させているので、このアクセスの衝突の場合に、第1のプロセッサが機能することが好ましいことになる。したがって、ブリッジは、同期のためと仲裁のための両方のために設けられている。

【0014】データバスを介して第2のプロセッサに更なるチップ集積化データメモリが接続されているとき、主として揮発性の変数データを格納するために、効果的であることが立証されている。このデータメモリの中には、短期的なデータ、例えばまもなく再び書き重ねられるような計算上のデータが格納されている。第1のプロセッサまたはデジタル信号プロセッサをそれぞれ更なるデータメモリにアクセスさせることを可能にするため、本発明によれば、DMAコントローラおよび第2のブリッジをもた1つのチップ上に集積化され得る。DMAコントローラおよび第2のブリッジの組合わせは、簡単なやり方で、相対的にゆっくりと動作する更なるデータメモリへのアクセスを可能にしている。全体としてみれば、ここで、この実施形態は1つの共通チップ上に集積化された種々のプロセッサや種々のメモリをシステムに提供しており、それぞれのプロセッサはそれぞれのメモリにアクセス可能であり、故に、機能的に優れた情報の転送および動作が行われることが可能となる。

【0015】さらに、少なくとも内部高速データメモリおよび/または少なくとも内部高速プログラムメモリが第1のプロセッサに割り当てられたときに有利であることが立証されている。これらの高速メモリにおいては、第1のプロセッサまたはデジタル信号プロセッサのそれぞれに直ちに有用である時間を重要とするプログラム部分、または直ちに有用となるであろう変形可能な可変データが好ましくは格納されている。第1のプロセッサはこのような流れの中で、与えられたデータメモリまたはプログラムメモリのそれぞれがデータ語（ワード）またはプログラム語（ワード）のためにそれぞれ自身のバスに割り当てられている二重ハーバード構造を有することもできる。

【0016】本発明によれば、再書き込み可能メモリは、MTPメモリ（Multiple programmable Memory）またはフラッシュ（FLASH）メモリとすることができる。第2のプロセッサ内の更なるデータメモリは、DRAM（Direct Random Access Memory）またはSRAM（Static Random Access Memory）であっても良い。内部高速データメモリおよび/または内部高速プログラムメモリは、RAMにより構成しても良い。さらに、2つのプロセッサ間には、直接通信リンクが設けられていても良い。

【0017】本発明に係るマルチプロセッサシステムの結果として、技術の状況に鑑みて多くの有利点がある。一方、2つのプロセッサ間や、集積化された再書き込み可能メモリの内側のプログラム用領域とデータ用領域との間の仕切り方は、上述したように、自由に変更することができ、チップが製造されるときには、このシステムのメモリ容量の全体のみが規定されることになる。個々のデバイスを動作させるためのプログラムが格納されるメモリを再書き込みする可能性に依存して、システムコントローラのためと信号プロセッサのための両方のための新たなソフトウェアのバージョンが簡単に高速な方法によりロードされることができ、メモリ（多数のメモリ）をチップ上に集積化することは、システムの電力消費を最適にして、チップのハウジングに設けられたピン

の数を減少させるか、または異なった形で占有されるべき有用なピンを許容すること。このことは、コストとスケー

スの節約を導くことになる。

【0018】メモリに対するこのメカニズムの結果として、キャッシュメモリの寸法決めやローカルメモリの寸法決め、または再書き込み可能メモリへのアクセスの僅かな長時間化が、簡単な方法で最小のコストにより補償される。最終的には、1つのチップ上に集積化された再書き込み可能メモリにおける複数のメモリの組み合わせまたはそれぞれの区切りおよび守り領域の分配は、実行間接費や必要なチップ表面積を低減させる。

【0019】マルチプロセッサシステムそれ自身以外の構成としては、移動無線電話における電話通信端末を動作させるために上述したタイプのマルチプロセッサシステムの実用化にもさらに関係している。

【0020】

【発明の実施の形態】本発明の更なる利点、特徴および詳細は、以下に説明する実施形態の例示からおよび図面から明らかとなるであろう。

【0021】図1は、さらには図示しないが1つのチップの上に形成または集積化される構成要素を基本回路の形で示す回路ブロック図である。第1のプロセッサ1は、デジタル信号プロセッサ(DSP—Digital Signal Processor)2の形式で示されている。デジタル信号プロセッサ2は25—100MIPS (Millions of Instructions Per Second—一秒当たり百万単位の指令数)の出力を有する強力なプロセッサである。図中で枠により示されているプロセッササブシステム3において、時間臨界プログラム部分が格納され、この信号プロセッサのために実行に必要な集積化RAMの形で、内部高速プログラムがさらに設けられている。さらに、2つの集積化された高速データメモリ5が揮発性の短時間データを格納するために設けられている。

【0022】16ビットの転送レートをそれぞれ有する分割バス6a、6b、6cがメモリ4、5に対して割り当てられている。これらのバスを介して、信号プロセッサ2がそれぞれのメモリと交信する。プログラムメモリ4は、16ビットの転送帯域を備える例えば2×16kの記憶容量を有し、データメモリ5は8×16kの記憶容量と16ビットの転送帯域を有するように設計されている。さらに、プロセッササブシステム3は、複数の入力および出力ユニット7を有し、このユニット7を介して一方ではデータがデータメモリ5より出力され得ると共にそれらがそれぞれ入力されることができ、またさらに、以下に詳細に説明する更なるデータメモリからのデータも取り扱われる。

【0023】デジタル信号プロセッサ2またはプロセッササブシステム3に対しては、キャッシュメモリ8、9が割り当てられており、デジタル信号プロセッサ2はこのキャッシュメモリ8、9を介して1つのチップ上に集積化された再書き込み可能メモリ10にアクセスすることができ、このメモリ10は図示された実施例において

はMTPメモリとして配置されている。キャッシュメモリ8、9と再書き込み可能メモリ10との間との交信は、128ビットの好適な転送帯域を有するデータバス11を介して行なうのが効果的である。

【0024】このメモリ10は、一方でプログラムを、他方では一定のデータを書き込み、読み出す可能性を有する異なるメモリ領域に細分化されている。それぞれの領域は、順番に細分化されてデジタル信号プロセッサ2およびシステムマイクロコントローラ3(μC)の形式で設けられた第2のプロセッサ12の何れかに対して割り当てられ、後で詳細に説明するように、マイクロコントローラ13もまたメモリ10へのアクセスを有する。複数のプログラム値へのアクセスは、キャッシュメモリ8を介して行なわれ、データ語(words)へのアクセスはキャッシュメモリ9を介して行なわれる。高速バッファメモリとして機能するこれらのキャッシュメモリによって、デジタル信号プロセッサ2がデータバス11を継続的に占有するものではなく、必要なデータはむしろ、それらの必要なデータを一時記憶しているキャッシュメモリ8、9から読み出されているということが保証されることになる。

【0025】キャッシュメモリ8、9は、個々のバス6a、6b、6cを介して、デジタル信号プロセッサ2との間で交信を行なう。この通信リンクへの条件付きで、メモリ10またはキャッシュメモリ8、9から、出力ユニット7をそれぞれ介して、ワードを出力することが可能となる。このメモリ10は、128ビットの転送帯域を備える少なくとも0.5—2メガビットの記憶容量を有するべきである。明らかに、これとは二者択一的にこれらの寸法配分を、大きくすることもできる。このキャッシュメモリは、例えばキャッシュメモリ8の場合には、512バイトの容量を有するようにしても良いし、キャッシュメモリ9の容量は64バイトであっても良い。

【0026】既に説明したように、このチップはシステムマイクロコントローラ13の形により第2のプロセッサ12を収容するスペースがある。このマイクロコントローラ13へは、32ビットの転送帯域を有する第2のデータバス14が割り当てられる。このシステムコントローラ13が関連プログラムやメモリ10内のそれに関連するデータにアクセスすることを確実にするために、ブリッジ15が設けられており、このブリッジ15を介してシステムマイクロコントローラ13がデータバス14を介してアクセスを有することができる。一方では、2つのデータバス11、14間の同期のために前記ブリッジが用いられる。その理由は、この2つのバスは異なるクロックで機能しており、それはデジタル信号プロセッサ2を動作させるものと、システムマイクロコントローラ13を動作させるものと、であって、図1においては、「クロック分割」として破線により示している。

【0027】このデジタル信号プロセッサおよびそれに割り当てられた全ての構成要素は、例えば26~104MHzの動作クロックパルスで動作しているが、これに対して、システムマイクロコントローラおよびこれに割り当てられた構成要素は、例えば26MHzの動作クロックパルスで動作している。さらに、ブリッジ15もまた、仲裁タスクを引き受けており、システムコントローラの側からメモリ10に対するより少ないメモリアクセスが必要である。このようにして、このメモリにアクセスするシステムマイクロコントローラに関する可能な待ちサイクルもまた、短縮される。

【0028】前記1つのチップに集積化されるDRAMまたはSRAMの形で更なるデータメモリ16が、システムマイクロコントローラ13に対してまた割り当てられる。このデータメモリは、データバス14において32ビットの転送帯域を備える32Kの容量を有している。システムマイクロコントローラ13は更なるデータメモリ16に対する迅速なアクセスを有している。で時足す信号プロセッサ2が揮発性の短寿命のデータが記憶される更なるデータメモリ16に対するアクセスを有することができるようにするために、DMAコントローラ17が設けられており、このコントローラ17はまたデータバス14に接続されると共に、さらに、サブシステム内部バス6cに接続されたブリッジ18にも接続されている。更なるデータメモリ16が、デジタル信号プロセッサ2の高周波数クロックに比べると非常に低速で動作していることは事実であり、その結果、メモリ16は希にしかアクセスされないことになる。しかしながら、このアクセスはDMAコントローラ17およびブリッジ18により可能となり、このブリッジが異なるデータバス間における同期クロック周波数に対応して再び配置されることになる。

【0029】データバス14に対しては、ブートROM19がさらに接続されており、このブートROM19を介して、メモリ10の最初の構成およびプログラムや可能なデータの最初の入力が行なわれる。

【0030】さらに、1つのチップ上に集積化された例えば外部構成要素等との間のインターフェースのような種々の周辺構成要素21が、第3のブリッジ20を介して接続されている。それに加えて、個別の端末装置22を介して、例えばフラッシュメモリ等のチップ外部の更なるメモリが、接続されていても良い。このフラッシュメモリはチップ上に集積化されたメモリ10のメモリ容量がもはや充分ではないときに、メモリ10の容量を拡張するために用いられている。この外部メモリは、シス

テムマイクロコントローラ13の入力/出力ユニットを介して接続されている。このデジタル信号プロセッサ2は、DMAコントローラ17およびブリッジ18を介してこの外部メモリにアクセスすることができる。

【0031】前記メモリ10の寸法や使用されるデータバスの転送レートや転送帯域の設計は、個々の適用形態に従って変更するようによい。

【0032】

【発明の効果】以上、詳細に説明したように、本発明に係るマルチプロセッサシステムは、単一のチップ上に第1および第2の2つのプロセッサを集積化して設けると共に、それぞれが取り扱うデータやプログラムを格納するメモリ領域もそれぞれに対応させて設けるようにしたので、遠隔地間通信の技術分野、特に移動無線電話端末装置において、プログラムやデータの転送を迅速かつ最適な速さや容量で行なうことが可能となり、この分野の現状に比較して改善されたマルチプロセッサシステムを提供することができる。

【0033】このようなシステム構成を提供することにより、複数のチップに複数のプロセッサを設け、相互の交信のために設ける必要のあるピンの数を減少させることができ、プログラムやデータの通信のために必要とする電力消費を低減させることができる。また、ディスクリットな回路構成と比較すると広いスペースを必要としなくなるため、今後、より一層小さくなる端末装置における装置の小型化に資することができる。

【図面の簡単な説明】

【図1】1つのチップ上に形成または集積化される構成要素を基本回路の形で示す回路ブロック図である。

【符号の説明】

- 1 第1のプロセッサ
- 2 デジタル信号プロセッサ
- 3 プロセッササブシステム
- 4 内部高速プログラムメモリ
- 5a、5b 内部高速データメモリ
- 8、9 キャッシュメモリ
- 10 再書き込み可能メモリ
- 11 データバス
- 12 第2のプロセッサ
- 13 システムマイクロコントローラ
- 14 データバス
- 15 ブリッジ
- 16 更なるデータメモリ
- 17 DMAコントローラ
- 18 第2のブリッジ

(71)出願人 590000248

Greenewoudseweg 1,
5621 BA Eindhoven, The
Netherlands

(72)発明者 ハラルト、パウアー

ドイツ連邦共和国ニュルンベルク、ハーブ
ルガー、シュトラーセ、10

(72)発明者 ウルス、ファウアー

スイス国バーデン、バーンホフシュトラ
ーセ、40

(72)発明者 ボール、リップpens

オランダ国5656、アーアー、アインドーフ
ェン、プロフ、ホルストラーン、6